



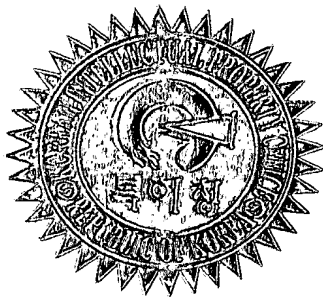
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006167
Application Number

출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

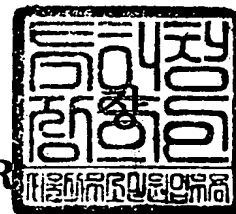
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.01.30
【발명의 명칭】	에스램 셀 및 그의 제조방법
【발명의 영문명칭】	SRAM cell and method of manufacturing the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김도우
【성명의 영문표기】	KIM, Do Woo
【주민등록번호】	681128-1408311
【우편번호】	467-853
【주소】	경기도 이천시 대월면 초지리 삼원엑스포아파트 105동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창열
【성명의 영문표기】	LEE, Chang Yeol
【주민등록번호】	670220-1066930
【우편번호】	134-780
【주소】	서울특별시 강동구 명일1동 270번지 삼익가든아파트 11-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	공명국
【성명의 영문표기】	GONG, Myeong Kook

【주민등록번호】	631101-1009533		
【우편번호】	449-840		
【주소】	경기도 용인시 수지읍 죽전리 453-1번지 한신아파트 103-1703호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	6	면	6,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	16	항	621,000 원
【합계】	656,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 에스램 셀 및 그의 제조방법을 개시한다. 개시된 본 발명의 에스램 셀은, 한 쌍의 액세스 소자와 한 쌍의 풀-업 소자 및 한 쌍의 풀-다운 소자를 구비하며, 기판과 콘택된 금속연결배선(Metal Interconnection Line) 상에 유전체막의 개재하에 금속 플레이트(Metal Plate)가 구비되어 셀 캐패시턴스(Cell Capacitance)를 증가시키는 것을 통해 소프트 에러 비율(Soft Error Rate)이 감소되도록 한 것을 특징으로 한다. 여기서, 상기 금속 플레이트는 하나의 셀 내에 하나만 구비된다. 이 경우, 상기 금속 플레이트는 노드(Node) 또는 노드 바(Node Bar)쪽 어느 하나의 금속연결배선과 오버랩되면서 반대쪽인 노드 바 또는 노드 쪽 어느 하나의 금속연결배선과 콘택된다. 또한, 상기 금속 플레이트는 하나의 셀 내에 두 개가 구비된다. 이 경우, 상기 금속 플레이트는 노드 및 노드 바쪽 금속연결배선과 각각 오버랩되면서 반대쪽인 노드 바 및 노드 쪽 금속연결배선과 각각 콘택된다. 본 발명에 따르면, 캐패시터를 추가 형성하여 셀 캐패시턴스를 증가시킴으로써, 생성된 전자들에 의해 셀 노드의 포텐셜이 변동되는 것을 방지할 수 있으며, 이에 따라, 소프트 에러 비율을 효과적으로 감소시킬 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

에스램 셀 및 그의 제조방법{SRAM cell and method of manufacturing the same}

【도면의 간단한 설명】

도 1은 전형적인 에스램 셀의 회로도.

도 2는 본 발명의 일실시예에 따른 에스램 셀의 레이아웃도.

도 3a 내지 도 3e는 본 발명의 일실시예에 따른 에스램 셀의 제조방법을 설명하기 위해 도 2의 A-A'선을 따라 절단하여 도시한 공정별 단면도.

도 4a 내지 도 4f는 본 발명의 일실시예에 따른 에스램 셀에서의 각 구성요소에 대한 평면도.

도 5는 본 발명의 다른 실시예에 따른 에스램 셀의 레이아웃도.

도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 에스램 셀에서의 캐패시터 콘택 및 금속 플레이트를 도시한 평면도.

* 도면의 주요 부분에 대한 부호의 설명 *

1 : 반도체 기판

2 : 소자분리막

4 : 게이트

5 : 질화막

6 : 층간절연막

7,23 : 베리어 금속막

8,24 : 텅스텐 플러그

9 : 제1식각정지막

10 : 제1절연산화막

12, 12a, 12b, 12c : 금속연결배선

13 : 유전체막

14, 14a, 14b : 금속 플레이트

20 : 캐패시터

21 : 제2식각정지막

22 : 제2절연산화막

C1 : 제1콘택홀/금속연결배선 콘택

C2 : 제2콘택홀/캐패시터 콘택

C3 : 제3콘택홀

T : 트렌치

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<18> 본 발명은 에스램에 관한 것으로, 특히, 소프트 에러 비율(Soft Error Rate)을 감소시킬 수 있는 에스램 셀 및 그의 제조방법에 관한 것이다.

<19> 에스램(SRAM: Static Random Access Memory)은 빠른 스피드와 저전력 및 단순작동으로 구동되는 메모리 소자로서, 디램(DRAM: Dynamic Random Access Memory)과는 달리 저장된 정보를 주기적으로 리프레쉬(refresh)할 필요가 없을 뿐만 아니라 설계가 용이한 장점을 갖는다.

<20> 이러한 에스램은 셀 선택을 위한 한 쌍의 액세스(access) 소자와 구동소자로서 기능하는 한 쌍의 풀-다운(pull-down) 소자 및 부하소자로서 기능하는 한 쌍의 풀-업(pull-up) 소자로 구성되며, 여기서, 상기 풀업 소자는 그 구조에 따라 풀 씨모스(Full CMOS)형과 고부하저항(High Load Resistor)형 및 박막트랜지스터(Thin Film Transistor)형의 세 가지로 분류된다.

<21> 도 1은 전형적인 풀 씨모스형 에스램 셀의 회로도이다. 도시된 바와 같이,

PMOS로된 한 쌍의 풀-업 소자(Tp1, Tp2)와 NMOS로된 한 쌍의 풀-다운 소자(Td1, Td2)로 구성되어진 한 쌍의 인버터가 크로스커플(cross-couple)되어 있다. 그리고, 워드라인(WL)의 신호에 따라 선택적으로 동작하는 NMOS로된 액세스 소자(Ta1, Ta2)는 풀-다운 소자(Td1, Td2)의 드레인과 비트라인(BL) 및 비트라인 바(/BL) 사이에 각각 배치되어 있다.

<22> 미설명된 도면부호 N은 액세스 소자(Ta1)와 풀-업 소자(Tp1) 및 풀-다운 소자(Td1)가 공통으로 연결되는 노드(Node), 그리고, NB는 액세스 소자(Ta2)와, 풀-업 소자(Tp2) 및 풀-다운 소자(Td2)가 공통으로 연결되는 노드 바(Node Bar)를 각각 나타낸다.

<23> 한편, 이와 같은 에스램에 있어서, 최근들어 메모리 셀의 기술(technology) 및 밀도(density)가 향상되고 구동 전압(operation voltage)가 낮아짐에 따라, 소프트 에러 비율(Soft Error Rate)이 커다란 문제(hot issue)로 나타나고 있다.

<24> 상기 소프트 에러는 메모리 셀에 기록(write)된 정보와 독출(read)된 정보간의 불일치, 즉, 정보 유실에 의해 나타나는 결함(fail)이며, 물리적 결함(physical defect)에 의한 에러와는 다른 개념이고 메모리 셀에 랜덤 비트 결함(random Bit fail)으로 나타난다.

<25> 이러한 소프트 에러의 원인으로서의 우라늄(uranium), 토륨(thorium), 또는, 아메리슘(americium) 등의 방사선 원소에서 방사되는 알파(α)-파티클을 들 수 있다. 즉, 소프트 에러는 알파-파티클이 셀의 스토리지 영역을 지나가면서 만들어지는 전하 업-세트(charge Up-set)가 셀 노드에 저장된 전하를 유실시키게 되고, 이에 따라, 실제 저장된 정보가 변화됨으로써 발생하는 것이다.

<26> 예컨대, 알파-파티클이 칩의 보호층을 지나면서 절반의 에너지를 잃고 4MeV 정도의 에너지를 가지고 스토리지 영역을 지나간다고 하면, 이러한 알파-파티클은 대략 25 μ m의 거리를 이동하며, 이 경우, 약 10⁶개의 EHP(Electron Hole Pair)를 형성시키게 되며, 이때의 전하량은 소프트 에러를 일으키기에 충분한 양이 된다.

<27> 실제로, EMC(Epoxy Molding Compound) 등에 존재하는 알파-파티클은 실리콘 핵(Nucleus)과 충돌함으로써 강력한 실리콘 핵(energetical silicon nucleus)을 만들게 되고, 이 에너지에 의해 실리콘 핵에 결합되어 있던 캐리어(EHP)는 자유 캐리어가 되는데, 이들 중에서 홀(hole)은 p-웰 내에서 재결합(recombination)을 거쳐 소멸되는 반면 전자(electron)는 확산 및 드리프트(diffusion & drift) 영역을 거쳐 셀 노드에 도달한 후 셀 노드 전하의 분포를 변동시키게 되며, 이에 따라, 노드 전압이 변동되어 소프트 에러가 유발된다.

<28> 이러한 소프트 에러는 실제로 에스램 셀에서 큰 문제로 대두되고 있으며, 이를 해결하기 위해 현재 다양한 방안들이 연구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 소프트 에러 비율을 효과적으로 감소시킬 수 있는 에스램 셀 및 그의 제조방법을 제공함에 그 목적이 있다.

<30> 또한, 본 발명은 소프트 에러 비율을 감소시킴으로써 소자 특성을 향상시킬 수 있는 에스램 셀 및 그의 제조방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

- <31> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 한 쌍의 액세스 소자와 한 쌍의 풀-업 소자 및 한 쌍의 풀-다운 소자를 구비하며, 기판과 콘택된 금속연결배선 상에 유전체막의 개재하에 금속 플레이트가 구비되어 셀 캐패시턴스를 증가시키는 것을 통해 소프트 에러 비율이 감소되도록 한 것을 특징으로 하는 에스램 셀을 제공한다.
- <32> 여기서, 상기 금속 플레이트는 하나의 셀 내에 하나만 구비된다. 이 경우, 상기 금속 플레이트는 노드 또는 노드 바쪽 어느 하나의 금속연결배선과 오버랩되면서 반대쪽인 노드 바 또는 노드 쪽 어느 하나의 금속연결배선과 콘택된다.
- <33> 또한, 상기 금속 플레이트는 하나의 셀 내에 두 개가 구비된다. 이 경우, 상기 금속 플레이트는 노드 및 노드 바쪽 금속연결배선과 각각 오버랩되면서 반대쪽인 노드 바 및 노드 쪽 금속연결배선과 각각 콘택된다.
- <34> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 소자분리막을 구비한 반도체 기판 상에 게이트를 형성하는 단계; 상기 게이트를 덮도록 기판 상에 층간절연막을 증착하는 단계; 상기 층간절연막을 식각하여 각각 게이트 및 기판을 노출시키는 콘택홀들을 형성하는 단계; 상기 각 콘택홀 내에 도전막을 매립시켜 콘택 플러그들을 형성하는 단계; 상기 콘택 플러그들을 포함한 층간절연막 상에 식각정지막 및 절연산화막을 차례로 증착하는 단계; 상기 절연산화막과 식각정지막을 식각하여 각 콘택 플러그를 노출시키는 소정 형상의 트렌치들을 형성하는 단계; 상기 각 트렌치 내에 금속막을 매립시켜 금속연결배선들을 형성하는 단계; 상기 금속연결배선들을 포함한 절연산화막 상에 유전체막을 증착하는 단계; 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계; 및 상기

유전체막 상에 노출된 금속연결배선과 콘택되게 금속 플레이트를 형성하는 단계를 포함하는 에스램 셀의 제조방법을 제공한다.

<35> 여기서, 상기 콘택 플러그는 베리어 금속막을 포함한 텅스텐 플러그이다.

<36> 상기 유전체막은 PE-TEOS, HTO 또는 MTO와 같은 산화막, 또는, Si₃N₄와 같은 질화막으로 이루어지며, 200~600Å의 두께로 증착한다.

<37> 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 과도 식각으로 인한 금속연결배선의 표면 손실이 500Å 이하가 되는 조건으로 수행한다.

<38> 상기 금속 플레이트는 Ti, TiN 또는 Ti/TiN로 이루어지며, 100~500Å의 두께로 형성한다.

<39> 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 노드 또는 노드 바쪽 어느 하나의 금속연결배선을 노출시키도록 수행한다. 이 경우, 상기 금속 플레이트는 노출된 노드 또는 노드 바쪽 어느 하나의 금속연결배선과 콘택되면서 반대쪽인 노드 바 또는 노드쪽 어느 하나의 금속연결배선과 오버랩되도록 하나의 셀 내에 하나만 형성한다.

<40> 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 노드 및 노드 바쪽 금속연결배선 모두를 노출시키도록 수행한다. 이 경우, 상기 금속 플레이트는 노출된 노드 및 노드 바쪽 금속연결배선과 각각 콘택되면서 반대쪽인 노드 바 및 노드쪽 금속연결배선과 오버랩되도록 하나의 셀 내에 두 개를 형성한다.

- <41> 본 발명에 따르면, 캐패시터를 추가 형성하여 셀 캐패시턴스를 증가시킴으로써, 생성된 전자들에 의해 셀 노드의 포텐셜이 변동되는 것을 방지할 수 있으며, 이에 따라, 소프트 에러 비율을 효과적으로 감소시킬 수 있다.
- <42> (실시예)
- <43> 이하, 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- <44> 에스램에서의 소프트 에러는, 전술한 바와 같이, 셀 노드에 도달한 전자가 셀 노드의 전하 분포를 변동시킴에 따라 노드 전압을 변동시키는 것에 의해서 발생된다. 만약, 노드 전압을 변동시킬 수 있는 셀 노드의 전하량을 증가시킨다면, 상기 셀 노드에 도달한 전자에 의한 노드 전압의 변동은 억제되며, 그 결과로서 소프트 에러는 효과적으로 감소시킬 수 있다.
- <45> 이에, 본 발명은 셀 캐패시턴스의 증가를 통해 셀 노드 전하량을 증가시켜 셀 노드에 도달한 전자에 의한 원치않는 노드 전압의 변동을 방지하며, 이를 통해서 소프트 에러 비율을 감소시킨다. 이를 위해, 본 발명은 금속연결배선의 형성 이후에 유전체막과 금속 플레이트를 형성하여 각 셀에 캐패시터를 추가 형성시켜 준다.
- <46> 결과적으로 본 발명의 에스램 셀은 한 쌍의 액세스 소자와 한 쌍의 풀-다운 소자 및 한 쌍의 풀-업 소자를 포함함은 물론 셀 캐패시턴스를 증가시키기 위해 추가로 형성시킨 셀 캐패시터를 더 포함하여 구성된다.
- <47> 보다 자세하게, 이하에서는 본 발명에 따른 에스램 셀 및 그의 제조방법을 첨부된 도면들을 참조하여 설명하도록 한다.

<48> 도 2는 본 발명의 일실시예에 따른 에스램 셀의 레이아웃도이다. 본 발명의 에스램 셀은, 자세하게 도시되지는 않았으나, 한 쌍의 액세스 소자와 한 쌍의 풀-다운 소자 및 한 쌍의 풀-업 소자를 포함하며, 특히, 금속 플레이트(14)를 더 포함한다. 상기 금속 플레이트(14)는 예컨대 그 아래의 노드 바(Node Bar)쪽 금속연결배선(12b)과 함께 캐패시터를 구성하며, 노드(Node)쪽 금속연결배선(12a)과 콘택된다. 이때, 상기 금속 플레이트(14)는 노드쪽 금속연결배선(12a)과 함께 캐패시터를 구성하면서 노드 바쪽 금속연결배선(12b)과 콘택된 것으로도 이해될 수 있다.

<49> 이와 같은 같은 레이아웃에 있어서, 캐패시터의 추가 형성을 통해 셀 캐패시턴스가 증가되므로, 셀 노드에 도달한 전자에 의한 노드 전압의 변동이 억제되어 소프트 에러 비율은 감소될 수 있다.

<50> 도 2에서, 미설명된 도면부호 1은 반도체 기판, 2은 소자분리막, 4는 게이트, 8은 텅스텐 플러그, C1은 금속연결배선 콘택, 그리고, C2는 캐패시터 콘택을 각각 나타낸다.

<51> 도 3a 내지 도 3e는 본 발명의 일실시예에 따른 에스램 셀의 제조방법을 설명하기 위해 도 2의 A-A'선을 따라 절단하여 도시한 공정별 단면도이고, 도 4a 내지 도 4f는 본 발명의 일실시예에 따른 에스램 셀에서의 각 구성요소에 대한 평면도이다.

<52> 도 3a와 도 4a 내지 도 4c를 참조하면, 트렌치형의 소자분리막(2)을 공지의 STI(Shallow Trench Isolation) 공정에 따라 반도체 기판(1)의 적소에 형성한다. 그런 다음, 게이트(4)를 폴리 공정을 통해 소자분리막(2)을 포함한 기판(1) 상에 형성한다. 드립프트 이온주입(drift implant) 공정, 게이트 스페이서 형성 공정 및 소오스/드레인 이

온주입(S/D implant) 공정을 차례로 진행하여 상기 게이트(4) 양측의 기판 표면 내에 드리프트 영역을 포함한 소오스/드레인 영역(도시안됨)을 형성한다.

<53> 다음으로, 질화막(5) 및 층간절연막(6)을 소오스/드레인 영역 및 게이트(4)를 포함한 기판(1)의 전 영역 상에 차례로 증착한다. 상기 층간절연막(6) 및 질화막(5)을 식각하여 각각 게이트(4) 및 소오스/드레인 영역을 노출시키는 제1콘택홀들(C1)을 형성한다. 상기 제1콘택홀(C1) 내에 베리어 금속막(7)과 텅스텐막을 차례로 증착하고, 그다음, 이들을 전면 식각하여 텅스텐 플러그(8)를 형성한다.

<54> 도 3b 및 도 4d를 참조하면, 제1식각정지막(9)과 제1절연산화막(10)을 텅스텐 플러그(8)를 포함한 층간절연막(6) 상에 차례로 증착한다. 제1식각정지막(9)은 바람직하게 질화막으로 이루어진다. 상기 제1절연산화막(10)과 제1식각정지막(9)을 질화막과 산화막 간의 높은 식각 선택비를 이용하여 식각하고, 이를 통해, 텅스텐 플러그(8)를 노출시키는 소정 형상의 트렌치(T)를 형성한다.

<55> 텅스텐막을 트렌치(T)를 매립하도록 제1절연산화막(10) 상에 두껍게 증착하고, 그다음, 이를 CMP(Chemical Mechanical Polishing)하여 금속연결배선(Metal Interconnection Line : 12)을 형성한다. 상기 금속연결배선(12)은 텅스텐 플러그 (8)를 통해 기판의 일부분, 바람직하게, 소오스/드레인 영역과 콘택되며, 그리고, 그 형성 위치에 따라 노드쪽 및 노드 바깥쪽 금속연결배선(12a, 12b)과 기판과 콘택되는 금속연결배선(12c)으로 구분된다.

<56> 도 3c 및 도 4e를 참조하면, 유전체막(13)을 금속연결배선(12)을 포함한 제1절연산화막(10) 상에 증착한다. 상기 유전체막(13)의 물질로는 PE-TEOS, HTO 또는 MTO와 같은 산화막을 이용함이 바람직하며, Si₃N₄와 같은 질화막을 이용할 수 있다. 상기 유전체막

(13)은 200~600Å의 두께로 증착한다. 상기 유전체막(13)을 식각하여 노드쪽 금속연결 배선(12a)의 일부분, 바람직하게, 일측 단부를 노출시키는 제2콘택홀(C2)을 형성한다. 이때, 상기 유전체막(13)의 식각은 과도 식각으로 인한 금속연결배선(12a)의 표면 손실이 500Å 이하가 되는 조건으로 수행한다.

<57> 도 3d 및 도 4f를 참조하면, 유전체막(13) 및 노출된 노드쪽 금속연결배선 부분 상에 Ti, TiN 또는 Ti/TiN과 같은 금속막을 100~500Å의 두께로 증착한다. 그런다음, 상기 금속막을 식각하여 노출된 노드쪽 금속연결배선(12a)과 접촉되는 금속 플레이트(14)를 형성하고, 이 결과로서 노드 바깥쪽 금속연결배선(12b)과 유전체막(13) 및 금속 플레이트(14)로 구성되는 캐패시터(20)를 형성한다.

<58> 도 3e를 참조하면, 상기 기판 결과물 상에 제2식각정지막(21)과 제2절연산화막(22)을 차례로 증착한다. 상기 제2절연산화막(22)과 제2식각정지막(21)을 식각하여 기판(1)과 접촉된 금속연결배선(12c)을 노출시키는 제3콘택홀(C3)을 형성한다. 이어서, 베리어 금속막과 텅스텐막을 차례로 증착한 후, 이들을 전면 식각하여 제3콘택홀(C3) 내에 베리어 금속막(23)을 포함한 텅스텐 플러그(24)를 형성한다.

<59> 이후, 식각정지막과 절연산화막의 증착 공정, 이들의 식각 공정 및 텅스텐 플러그 형성 공정들을 반복 수행하여 제3 또는 제4층의 금속연결배선을 형성하여 본 발명의 에스램 셀을 형성한다.

<60> 전술한 바와 같은 본 발명에 따르면, 금속연결배선의 형성 이후에 금속 플레이트를 추가 형성해 줌으로써 노드 바깥쪽 금속연결배선과 금속 플레이트 사이 또는 노드쪽 금속연결배선과 금속 플레이트 사이에서 캐패시터를 구성할 수 있다.

- <61> 이에 따라, 본 발명의 에스램 셀은 증가된 셀 캐패시턴스를 갖게 되며, 이러한 셀 캐패시턴스의 증가를 통해 알파-파티클에 의해 생성된 EHP에서의 전자들이 셀 노드쪽 포텐셜을 변경시키는 현상을 방지할 수 있게 되므로, 소프트 에러를 효과적으로 감소시킬 수 있게 된다.
- <62> 한편, 전술한 본 발명의 일실시예에 따른 에스램 셀의 제조방법에 있어서, 유전체 막과 금속 플레이트의 두께 합은 1000\AA 이내가 되도록 하며, 이를 통해, 후속 공정에서 추가적인 평탄화 공정이 수행되지 않도록 함이 바람직하다.
- <63> 도 5는 본 발명의 다른 실시예에 따른 에스램 셀의 레이아웃도이고, 도 6a 및 도 6b는 이 실시예에서의 캐패시터 콘택 및 금속 플레이트를 도시한 각 평면도이다.
- <64> 도시된 바와 같이, 본 발명의 다른 실시예에 따른 에스램 셀은 이전 실시예의 그것이 셀 내에 하나의 금속 플레이트만 구비되는 것과는 달리 셀 내에 두 개의 금속 플레이트(14a, 14b)가 구비된다. 이때, 두 금속 플레이트(14a, 14b) 중에서 어느 하나의 금속 플레이트(14a)는 노드 바깥쪽 금속연결배선(12a)과 오버랩되면서 노드 쪽 금속연결배선(12a)과 콘택되게 구비되며, 다른 하나의 금속 플레이트(14b)는 노드쪽 금속연결배선(12a)과 오버랩되면서 노드 바깥쪽 금속연결배선(12b)과 콘택되게 구비된다.
- <65> 본 발명의 다른 실시예에 따른 에스램 셀은 셀 내에 두 개의 캐패시터를 구성하기 때문에 이전 실시예의 그것에 비해 더욱 증가된 셀 캐패시턴스를 얻을 수 있으며, 그래서, 소프트 에러 비율은 더욱 감소된다.

【발명의 효과】

- <66> 이상에서와 같이, 본 발명은 금속연결배선 형성 이후 각 셀에 금속 플레이트를 형성하여 캐패시터를 구성해 줌으로써, 셀 캐패시턴스의 증가를 통해 에스램에서의 소프트 에러 비율을 효과적으로 감소시킬 수 있으며, 그래서, 에스램의 특성을 향상시킬 수 있다.
- <67> 또한, 본 발명은 셀 크기의 축소 및 고밀도의 풀 씨모스형 에스램을 제조할 수 있는 기술적 기반을 마련할 수 있으므로, 고집적화 추세에 맞추어 소자 특성 및 신뢰성의 향상에 기여할 수 있다.
- <68> 기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

한 쌍의 액세스 소자와 한 쌍의 풀-업 소자 및 한 쌍의 풀-다운 소자를 구비하며, 기판과 콘택된 금속연결배선 상에 유전체막의 개재하에 금속 플레이트가 구비되어 셀 캐패시턴스(Cell Capacitance)를 증가시키는 것을 통해 소프트 에러 비율(Soft Error Rate)이 감소되도록 한 것을 특징으로 하는 에스램 셀.

【청구항 2】

제 1 항에 있어서, 상기 금속 플레이트(Metal Plate)는 하나의 셀 내에 하나만 구비된 것을 특징으로 하는 에스램 셀.

【청구항 3】

제 2 항에 있어서, 상기 금속 플레이트는 노드(Node) 또는 노드 바(Node Bar)쪽 어느 하나의 금속연결배선과 오버랩되면서 반대쪽인 노드 바 또는 노드 쪽 어느 하나의 금속연결배선과 콘택된 것을 특징으로 하는 에스램 셀.

【청구항 4】

제 1 항에 있어서, 상기 금속 플레이트는 하나의 셀 내에 두 개가 구비된 것을 특징으로 하는 에스램 셀.

【청구항 5】

제 4 항에 있어서, 상기 금속 플레이트는 노드 및 노드 바쪽 금속연결배선과 각각 오버랩되면서 반대쪽인 노드 바 및 노드 쪽 금속연결배선과 각각 콘택된 것을 특징으로 하는 에스램 셀.

【청구항 6】

소자분리막을 구비한 반도체 기판 상에 게이트를 형성하는 단계;

상기 게이트를 덮도록 기판 상에 층간절연막을 증착하는 단계;

상기 층간절연막을 식각하여 각각 게이트 및 기판을 노출시키는 콘택홀들을 형성하는 단계;

상기 각 콘택홀 내에 도전막을 매립시켜 콘택 플러그들을 형성하는 단계;

상기 콘택 플러그들을 포함한 층간절연막 상에 식각정지막 및 절연산화막을 차례로 증착하는 단계;

상기 절연산화막과 식각정지막을 식각하여 각 콘택 플러그를 노출시키는 소정 형상의 트렌치들을 형성하는 단계;

상기 각 트렌치 내에 금속막을 매립시켜 금속연결배선들을 형성하는 단계;

상기 금속연결배선들을 포함한 절연산화막 상에 유전체막을 증착하는 단계;

상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계; 및

상기 유전체막 상에 노출된 금속연결배선과 콘택되게 금속 플레이트를 형성하는 단계를 포함하는 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 콘택 플러그는 베리어 금속막을 포함한 텅스텐 플러그인 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 유전체막은 PE-TEOS, HTO 및 MT0로 구성된 그룹으로부터 선택되는 어느 하나의 산화막, 또는, Si₃N₄와 같은 질화막으로 이루어진 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 9】

제 6 항에 있어서, 상기 유전체막은 200~600Å의 두께로 증착하는 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 10】

제 6 항에 있어서, 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 과도 식각으로 인한 금속연결배선의 표면 손실이 500Å 이하가 되도록 하는 조건으로 수행하는 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 11】

제 6 항에 있어서, 상기 금속 플레이트는 Ti, TiN 및 Ti/TiN으로 구성된 그룹으로부터 선택되는 어느 하나로 이루어진 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 12】

제 6 항에 있어서, 상기 금속 플레이트는 100~500Å의 두께로 형성하는 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 13】

제 6 항에 있어서, 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 노드 또는 노드 바쪽 어느 하나의 금속연결배선을 노출시키도록 수행하는 것을 특징으로 하는 에스램 셀의 제조방법.

【청구항 14】

제 13 항에 있어서, 상기 금속 플레이트는 노출된 노드 또는 노드 바쪽 어느 하나의 금속연결배선과 콘택되면서 반대쪽인 노드 바 또는 노드쪽 어느 하나의 금속연결배선과 오버랩되도록 하나의 셀 내에 하나만 형성하는 것을 특징으로 하는 에스램 셀의 제조방법.

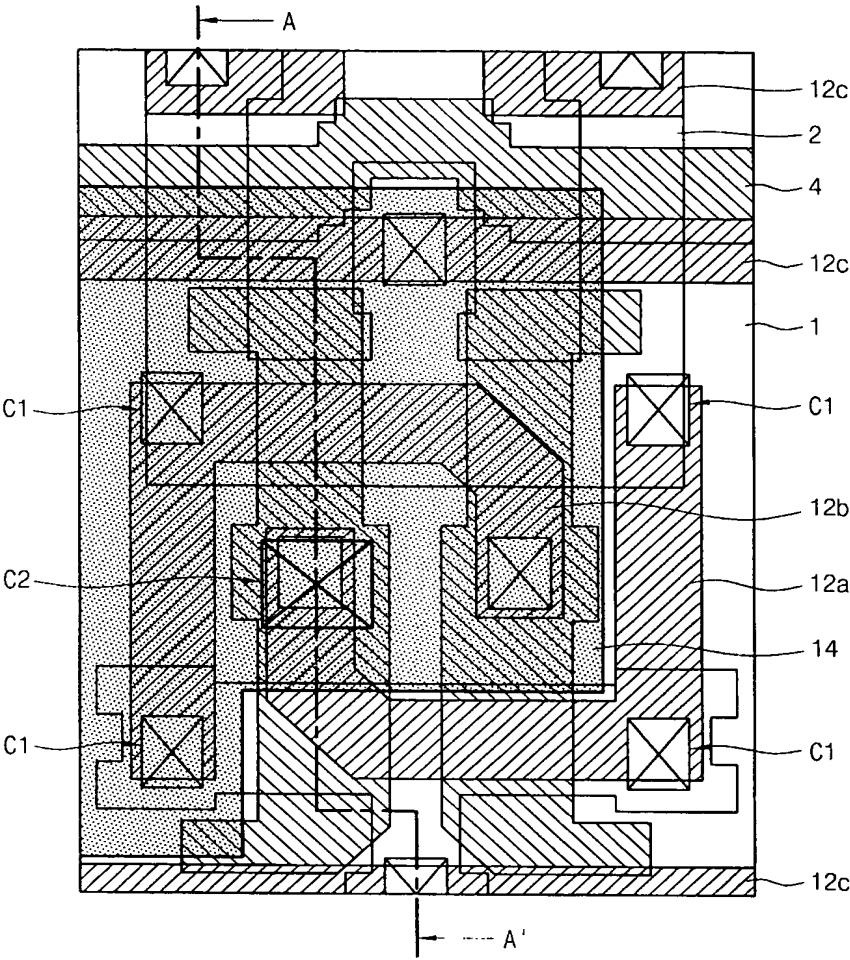
【청구항 15】

제 6 항에 있어서, 상기 유전체막을 식각하여 특정 금속연결배선을 노출시키는 단계는 노드 및 노드 바쪽 금속연결배선 모두를 노출시키도록 수행하는 것을 특징으로 하는 에스램 셀의 제조방법.

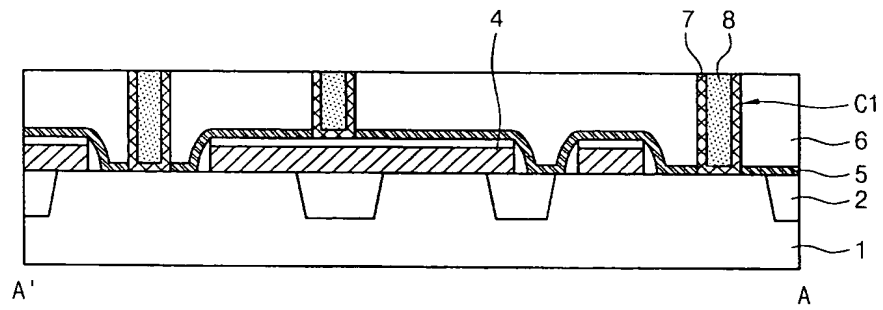
【청구항 16】

제 15 항에 있어서, 상기 금속 플레이트는 노출된 노드 및 노드 바쪽 금속연결배선과 각각 콘택되면서 반대쪽인 노드 바 및 노드쪽 금속연결배선과 오버랩되도록 하나의 셀 내에 두 개를 형성하는 것을 특징으로 하는 에스램 셀의 제조방법.

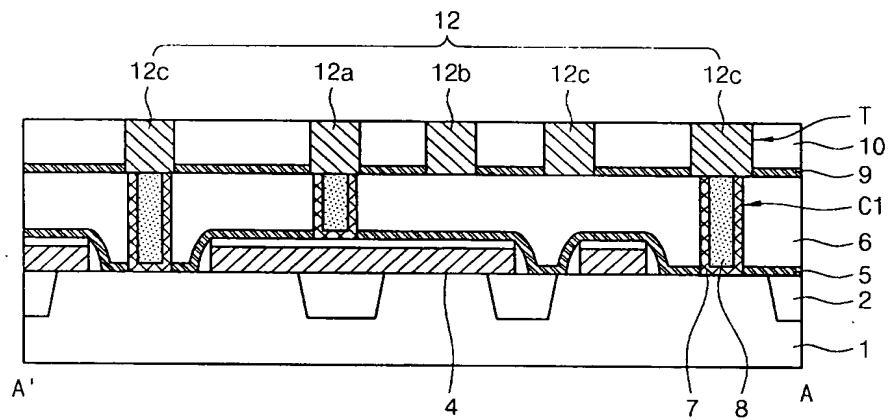
【도 2】



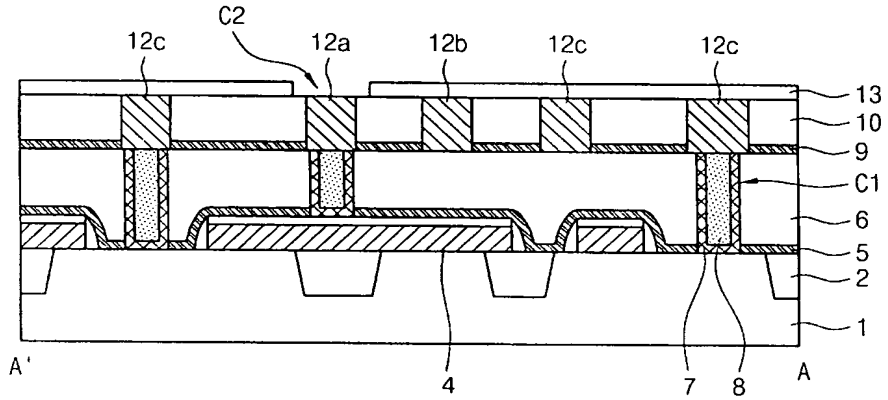
【도 3a】



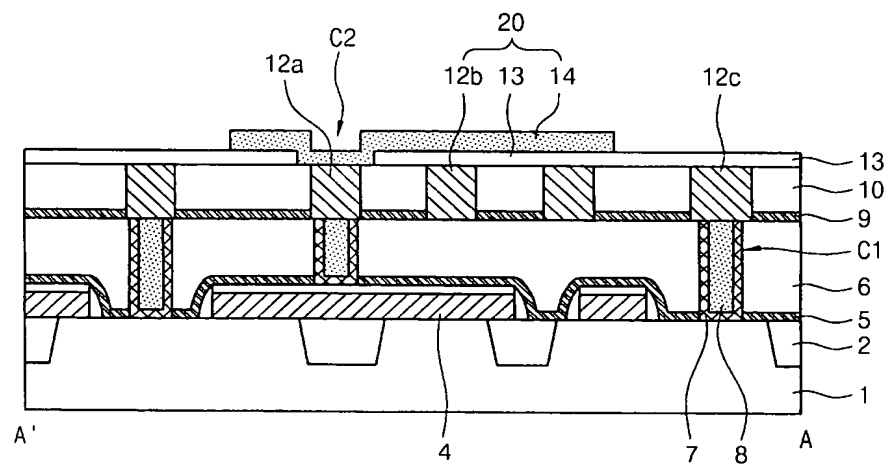
【도 3b】



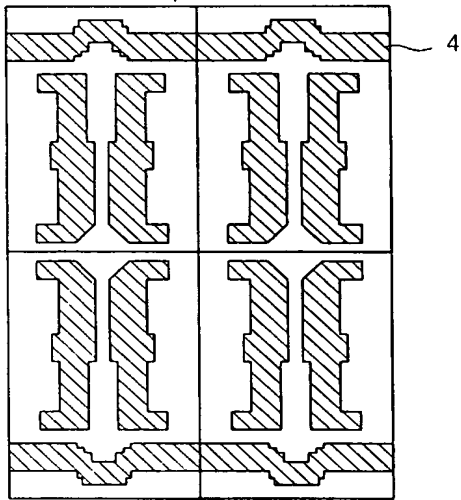
【도 3c】



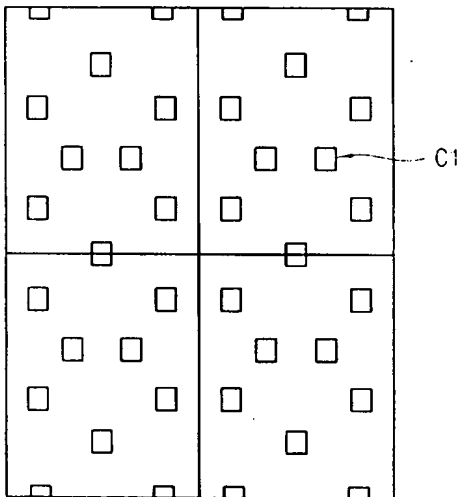
【도 3d】



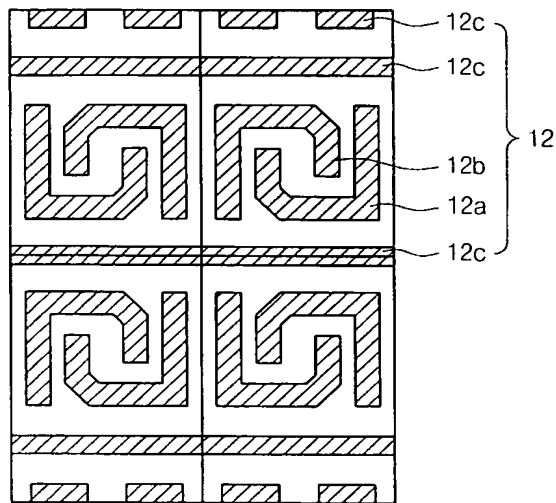
【도 4b】



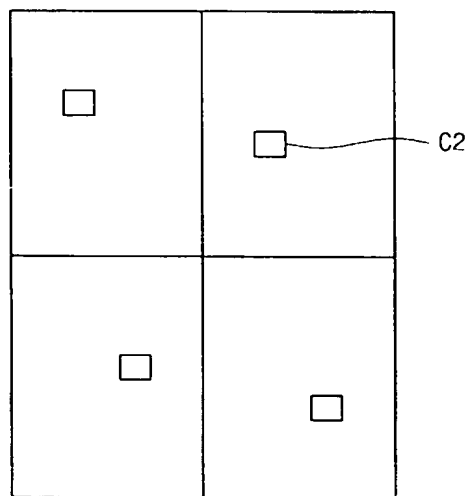
【도 4c】



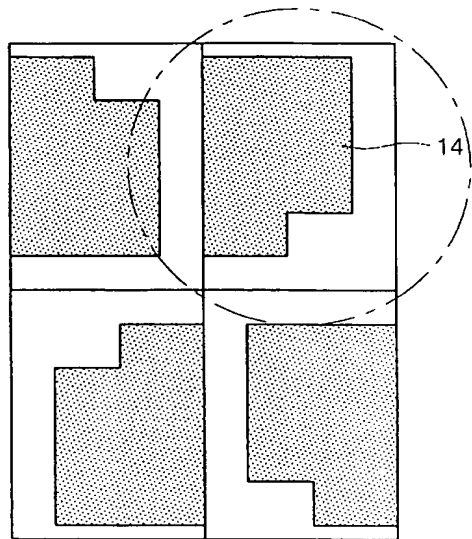
【도 4d】



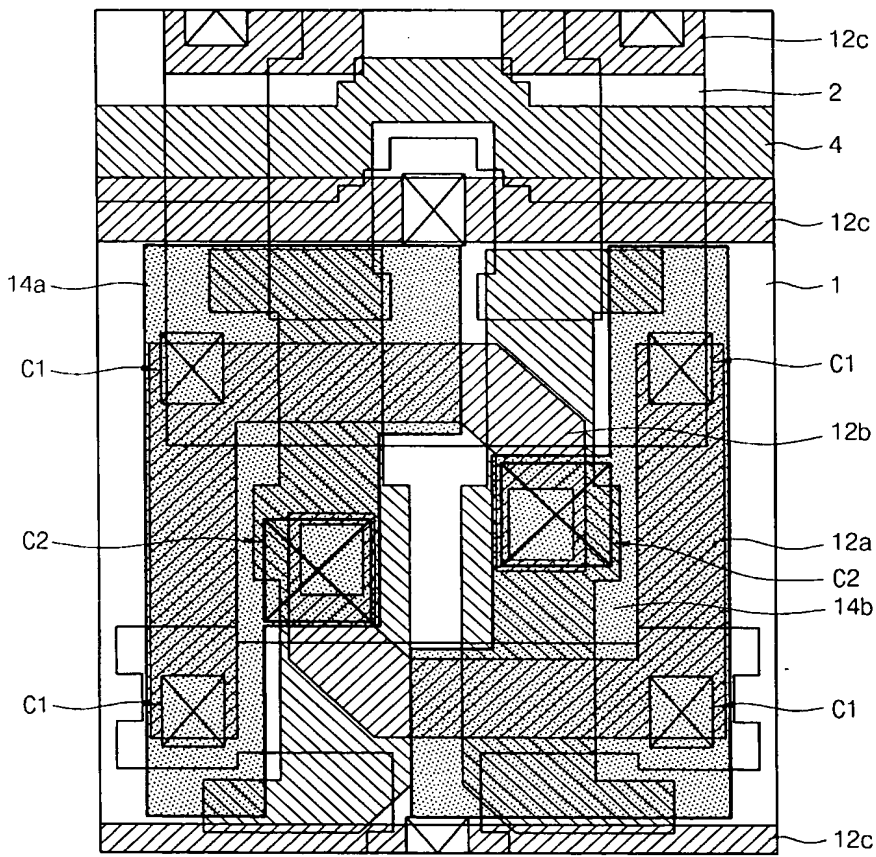
【도 4e】



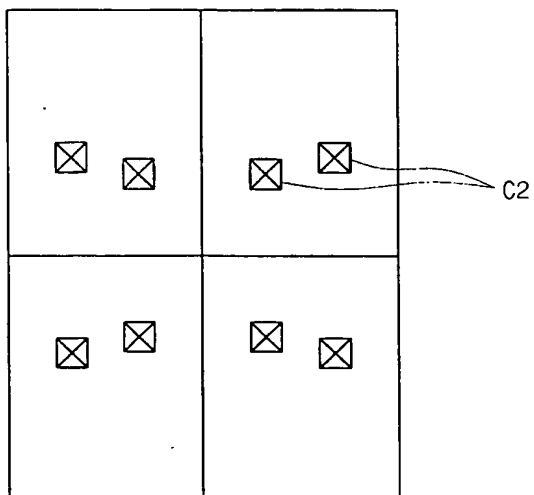
【도 4f】



【도 5】



【도 6a】



【도 6b】

